[19]中华人民共和国专利局

[51]Int.Cl⁶

H03L 7/00



[12] 发明专利申请公开说明书

[21] 申请号 98100980.8

[43]公开日 1998年11月4日

[11] 公开号 CN 1198043A

[22]申请日 98.3.31

[30]优先权

[32]97.3.31 [33]JP[31]081521 / 97

|71|申请人 日本电气株式会社

地址 日本东京

|72|发明人 尤金・奥沙利文 霜田招史

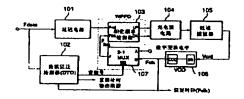
[74]专利代理机构 中原信达知识产权代理有限责任公司 代理人 穆德骏

权利要求书 7 页 说明书 15 页 附图页数 18 页

[54]发明名称 利用一窗口相位比较器的数据和时钟恢 复锁相环电路

[57]摘要

本发明提供一种数据和时钟恢复锁相环电路,可从随机输入数据中提取时钟信号,包括一延迟单元,一数据转换检测单元,一相位比较单元,一充电泵,一滤波器单元,一压控振荡器以及一多路复用器单元。该电路运行稳定,无谐波锁定问题。





框图,

图,

图,

图 10 是根据本发明的第一个例子的数据和时钟恢复 PLL 电路方框 图,

图 11 是根据本发明的第二个例子的数据和时钟恢复 PLJ. 电路方框 图,

图 12 是图 11 中数据和时钟恢复 PLL 电路的一个实例的方框图,

图 13 是图 12 中 PLL 电路的时间曲线,

图 14 是图 12 中数据和时钟恢复 PLL 电路的模拟结果显示,

图 15 是根据本发明的第三个例子的数据和时钟恢复 PLL 电路方框

图 16 是根据本发明的第四个例子的数据和时钟恢复 PLL 电路方框 图,

图 17 是图 16 中数据和时钟恢复 PLL 电路的一个实例的方框图,

图 18 是根据本发明的第五个例子的数据和时钟恢复 PLL 电路方框

图 19 是一数据跃迁检测器一个实例的电路图,

图 20 是数据跃迁检测器的另一实例的电路图,

图 21 是数据跃迁检测器的再一实例的电路图、

图 22 是数据跃迁检测器的又一实例的电路图。

20

35

5

10

15

为了更好地理解本发明,首先参照图1至图5,对传统的数据和时钟。 恢复 PLL 电路进行描述。

在图 1 中, 传统的数据和时钟恢复 PLL 电路带有一连接于一数据输 25 入端 12 和一数据输出端 13 之间的判决电路 11。该判决电路 11 从数据输 入端接收一数据输入信号 12A, 判定该输入数据信号 12A 的逻辑状态, 然 后将一输出信号 13A 输出给输出端 13。一倍增器 14 连接于数据输入端, 以将输入数据信号 12A 倍增并以产生一倍增的输入数据信号 14A。一电压 控制振荡器 (VCO)产生一时钟信号 15A,将该时钟信号 15A 供给一时 30 钟输出端 16 和判决电路 11。一相位比较器 17 连接于倍增器 14 和 VCO15, 用以比较倍增输入数据信号 14A 与时钟信号 15A,产生一比较信号 17A。 一取样保持(S/H)开关电路 18 连接于相位比较器 17,取样和保持比较 信号 17A,以产生一 S/H 信号 18A。一控制电路 19 连接于数据输入端 12 和 S/H 开关电路 18, 根据输入数据信号 12A 产生一控制信号 19A, 来控 制 S/H 电路 18。一低通滤波器 (LPF)连接于 S/H 开关电路 18 和 VCO15, 对 S/H 信号 18A 进行滤波,以提供一滤波信号 20A 给 VCO15。

图 2 为图 1 中所示 PLL 电路的关键节点处的运行波形。倍增器 14 将图 2 中第一行所示的输入数据 12A 转换为如图 2 中第三行所示的倍增输入数据信号 14A。相位比较器 17 将倍增输入数据信号 14A 与图 2 中第四行所示的时钟信号 15A 进行比较,以产生图 2 中第五行至第七行所示的比较信号 17A。比较信号 17A表示倍增输入数据信号 14A与时钟信号 15A之间的相位差。当时钟信号 15A的相位超前倍增输入数据信号 14A的相位时,相位比较器 17 产生一正脉冲序列,其脉冲宽度与如图 2 中第五行所示的相位差相等。相反,当时钟信号 15A的相位滞后于倍增输入数据信号 12A的相位时,相位比较器 17 产生一负脉冲序列,其脉冲宽度与如图 2 中第七行所示的相位差等。当两信号间无相位差时,相位比较器 17 没有脉冲输出,如图 2 中第六行所示。

5

10

15

20

25

30

35

接着,将比较信号 17A 提供给一 S/H 开关电路 18。此外,来自控制电路 19 的如图 2 中第八行所示的控制信号 19A 也提供给 S/H 开关电路 18。控制信号 19A 将 S/H 开关电路 18 置于 ON(接通)或 OFF(断开)状态。当 S/H 开关电路处于 ON 状态时,PLL 将处于"取样模式",即进行相位比较,PLL 正常运行。与之相反,当 S/H 开关电路处于 OFF 状态时,PLL 将处于"保持模式",不进行相位比较。"保持模式"使 PLL 对一长序列的连续单元比特(0或1)保持稳定的运行。

LPF 将 S/H 开关信号 18A 转换为一 DC (直流) 电压,即滤波信号 20A。 PLL 的负反馈操作使得倍增输入数据信号 14A 与时钟信号 15A 间的相位差减至最小,称之为"相位锁定状态"。

判决电路 11 利用时钟信号 15A 检测输入数据信号 12A 的逻辑状态。 判决电路 11 对输入数据信号 12A 重新计时,以产生如图 2 中第二行所示的输出数据信号 13A。

事实上,相位比较器 17 为以 Gilbert 倍增型相位检测器。 Gilbert 倍增型相位检测器如图 3 所示。

参见图 3 , Gilbert 倍增型相位检测器包括两乘法器电路的组合电路。第一乘法器电路由晶体管 Q1-Q6 和电阻 R1 与 R2 组成。第一乘法器电路将输入数据信号 12A 的相位与一主触发器 31 的输出的相位进行比较。主触发器 31 为判决电路 11 的一个部分,其输出信号 31A 被用来替代

说明书附图

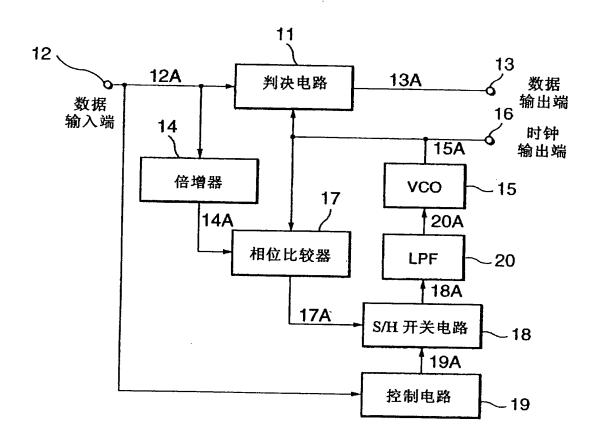


图 1 现有技术